


JP-A-3-181115 claims a step of performing a heat treatment to a semiconductor substrate having a high impurity concentration in hydrogen atmosphere so that the substrate has a high impurity concentration layer and a low impurity concentration layer.

MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

Patent Number: JP3181115
Publication date: 1991-08-07
Inventor(s): HOSHI TADAHIDE
Applicant(s):: TOSHIBA CORP
Requested Patent:  JP3181115
Application Number: JP19890318973 19891211
Priority Number(s):
IPC Classification: H01L21/02 ; H01L21/76
EC Classification:
Equivalents: JP2801704B2

Abstract

PURPOSE:To obtain a silicon on insulator excellent in crystal property by heat- treating the first semiconductor substrate having high impurity concentration in hydrogen atmosphere so as to lower the impurity concentration at the surface of the substrate, and bonding the second semiconductor substrate to here through a dielectric film, and then removing only the high impurity concentration side of the first substrate by etching.

CONSTITUTION:An Si substrate 31 having high impurity concentration is heat- treated for three hours at 1200 deg.C in hydrogen atmosphere so as to produce heat oxide films 32 at the obverse and the reverse. At the same time, an extremely thin low concentration layer 312 by outward diffusion is produced around the high concentration layer 31 of the substrate 31. Next, a semiconductor substrate 33, wherein resistivity is not so low, is bonded to one side of such substrate through a film 32, and it is heat-treated for two hours at 1100 deg.C in N₂/O₂ atmosphere, whereby the crystal property between the substrates 31 and 33 is made favorable. Then, this substrate 34 is etched to remove the film 32, the layers 312, and 311 on the opposite side to the side to which the substrate 33 is bonded, thus thin SOI structure consisting of the layer 312, the film 32, and the substrate 33 is obtained .

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-181115

⑮ Int. Cl.⁹

H 01 L 21/02
21/76

識別記号

B
D

庁内整理番号

7454-5F
7638-5F

⑬ 公開 平成3年(1991)8月7日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体基板の製造方法

⑰ 特 願 平1-318973

⑱ 出 願 平1(1989)12月11日

⑲ 発 明 者 星 忠 秀 神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川町工場内

⑳ 出 願 人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

半導体基板の製造方法

2. 特許請求の範囲

高不純物濃度を有する第1の半導体基板を水素雰囲気中にて熱処理して前記第1の半導体基板を高不純物濃度層と低不純物濃度層を有するものにする第1の工程と、前記第1の半導体基板もしくは一主面に誘電体膜が形成されてなる第1の半導体基板に、第2の半導体基板もしくは一主面に誘電体膜が形成されてなる第2の半導体基板を、前記誘電体膜をはさむ様に接合かつ熱処理する第2の工程と、前記高不純物濃度層をエッチングし前記低不純物濃度層を前記誘電体膜上に残存させる第3の工程とを具備したことを特徴とする半導体基板の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体基板の製造方法に関するもの

で、特に S O I (Silicon On Insulator) 構造を持つ半導体基板を得る際に使用されるものである。

(従来の技術)

この種の S O I 構造の半導体基板を第3図に示す。図中1は薄膜状の半導体層、2は酸化膜、3は半導体基板(基体)である。また第4図、第5図、第6図、第7図に上記半導体基板の製造方法の従来例を示す。

第4図はウェーハ接着技術を用いずに S O I 構造半導体基板を製造する方法であり、第4図(a)の半導体基板4の一主面に、第4図(b)の如く高加速電圧で高ドーズ量の酸素5をイオン注入し、その後1350℃の高温熱処理により、第4図(c)の如く基板中に絶縁層6を形成する方法である。

第5図は、同図(a)の半導体基板8の一主面を酸化し、これにより形成された酸化膜10を介して第2の半導体基板9を接合した後、半導体基板8を研磨し、所定の厚さの半導体層8を形成する方法である。

第6図は、同図(a)の高濃度の半導体基板13に、

エピタキシャル成長により低濃度の半導体層14を形成した後、その表面を酸化して酸化膜15を形成し、第2の半導体基板16に、第6図(b)の如く接着、熱処理を行ない、次に高濃度半導体層13のみ選択的にエッチングするエッチング液を用い、エピタキシャル成長させた低濃度半導体層14のみを残す方法である。

第7図は、同図(a)の高濃度のP型半導体基板18を高濃度中にて酸化して(酸素雰囲気)P型低濃度19、酸化膜20を形成した後、第7図(b)の如く第2の半導体基板21と接着、熱処理し、次に第7図(c)の如く第6図と同様に、高濃度半導体層18のみを選択的にエッチングし、上記酸化中に不純物の再分布により低濃化した半導体層19のみを残す方法である。

(発明が解決しようとする課題)

これらの方法により、第3図に示す1 μ m(±0.1 μ m)の均一な薄膜1を有するSOI半導体基板を製造する際の問題点として、第4図に示す方法は、薄膜4の制御性は良いものの、該膜の結

晶性は全てエッチングされ、半導体層19が残らない可能性がある。

本発明の目的は、従来技術の問題点を解消し、結晶性の良い、均一な薄膜を安価に、かつ不純物のタイプに関係なく、確実に形成することのできるSOI構造の半導体基板の製造方法を提供することにある。

[発明の構成]

(課題を解決するための手段と作用)

本発明は、高不純物濃度を有する第1の半導体基板を水素雰囲気中にて熱処理して前記第1の半導体基板を高不純物濃度層と低不純物濃度層を有するものにする第1の工程と、前記第1の半導体基板もしくは一主面に誘電体膜が形成されてなる第1の半導体基板に、第2の半導体基板もしくは一主面に誘電体膜が形成されてなる第2の半導体基板を、前記誘電体膜をはさむ様に接着かつ熱処理する第2の工程と、前記高不純物濃度層をエッチングし前記低不純物濃度層を前記誘電体膜上に残存させる第3の工程とを具備したことを特徴

とする半導体基板の製造方法である。

品性が悪く、期待されるデバイス特性が得られない問題がある。

第5図に示す方法は、現状の研磨技術では面内のバラツキを2~3 μ mに抑えるのが限界であり、1.0 μ mの均一な薄膜8を実現するのは困難である。

第6図に示す方法は、不純物濃度によって選択的にエッチングするため、1 μ mの均一な薄膜を残すことは原理的に可能ではあるが、半導体層14をエピタキシャル成長させる時に表面に反応生成物が付着し、接着時にボイド(未接着部分)が発生しやすい他、エピタキシャル成長を行なうため、コスト高となるという問題がある。

第7図に示す方法は、第6図と同様に選択エッチングを用いることから、1 μ mの均一な薄膜19を残すことが可能であるが、不純物の再分布を利用して、不純物がボロンに限られてしまい、P型の不純物層19しか残すことができない。又、不純物濃度も再分布を利用した場合、1/2しか表面濃度が下がらないため、基板の不純物濃度に

とすることが可能となった。

とする半導体基板の製造方法である。

即ち本発明の特徴は、高不純物を有する第1の半導体基板を水素雰囲気中で熱処理することにより、基板表面の不純物濃度を不純物の型に関係なく確実に低下させた上で、この不純物が低下した側の基板面を、誘電体膜を介して第2の半導体基板に接着し、前記第1の半導体基板の高不純物濃度層側のみ選択的にエッチングすることにより、前記濃度低下した層側を残し、SOI構造の半導体基板を製造することにある。

こうすることによりバルクシリコンが活性層(薄膜)となるため、結晶性が良く、又不純物のタイプに関係なく、確実に均一な薄膜を形成することが可能となった。

(実施例)

以下図面を参照して本発明の一実施例を説明する。第1図は同実施例の工程図である。即ち第1図(a)に示す半導体基板31として、125 μ m ϕ 、比抵抗が1/1000~4/1000 $\Omega \cdot \text{cm}$ のシリコンウェーハ(P型シリコンウェーハの場合とN型シリ

コンウェーハの場合がある)を用意し、これらのウェーハつまり基板を、①酸化雰囲気中、②窒素雰囲気中、③水素雰囲気中にて1200℃、3時間の熱処理を行った後、各基板の表面に、第1図(b)の如く熱酸化膜32を5000Å形成した(1100℃、ウェットO₂中、45分)。上記熱処理で基板31には、高濃度層31₁のまわりに、外方拡散による低濃度層31₂が形成されるが、この層31₂は層31₁にくらべて極く厚みが薄いので、便宜的に第1図(a)、(b)のように画いた。次に第1図(c)の如く基板31を、125mmφ、比抵抗が4~6Ω・cmのN型シリコンウェーハである半導体基板33に、第1図(d)の如く熱酸化膜32を介して接着し、かつ1100℃、N₂/O₂雰囲気(N₂:O₂=4:1ぐらい)、2時間の熱処理で基板31、33間の結晶的接着を行なって、接着半導体基板34を形成した。更にこの接着半導体基板34を、NF₃、HNO₃、CH₃COOHを1:3:8に混合したエッチング液につけ、エッチングが停止するまでエッチングを行なった。本方法により、P型、N型基板

に対して各条件共10枚ずつ第1図(e)の薄膜S O I基板35を作成した。

第2図は各条件における薄膜S O I基板の作成可否を表す。即ち酸素雰囲気中でP型(基板31の場合)のみ酸化膜32上に薄膜31₂を形成することができたが、サンプルによっては部分的に酸化膜32が露出し、完全ではなかった。N型基板の場合、全く薄膜31₂を残すことができなかった。窒素雰囲気中ではP型、N型共熱処理後表面粗れ、析出等により全く基板31、33どうし接着できなかった。これに対し、水素雰囲気中ではP型、N型共酸化膜32上に薄膜31₂を形成することができた。

この実施例により、水素雰囲気中で熱処理するため、基板の高低濃度差が非常に大(例えば10:1)になった状態でのエッチング実施で、従来困難であった均一な薄膜を有するS O I構造の半導体基板を作成することができた。又従来、第6図に示す如くエピタキシャル成長を用いるがため、接着性が悪く又コスト高となっていたが、本発明により接着性は良好となり、エピタキシャ

ル成長を用いないため、安価に作成することができた。更には第2図に示す如く、従来、P型のボロン不純物でしか作成できなかったS O I基板が、本発明では、上記水素雰囲気中での熱処理による同様の理由で、P型、N型にも関係なく確実にS O I基板35を作成することができた。

なお本発明は実施例に限られず、種々の応用が可能である。例えば第1図(c)において基板33上に酸化膜32を設けたものを用いてもよい。

[発明の効果]

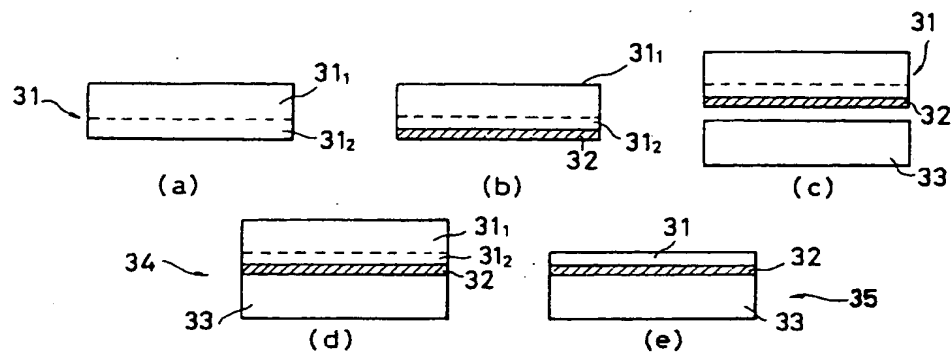
以上説明した如く本発明によれば、従来技術の問題点を解消し、結晶性の良い、均一な薄膜を安価に、かつ不純物のタイプに関係なく、確実に形成することのできるS O I構造の半導体基板の製造方法を提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例の工程図、第2図は同実施例による本発明の効果を説明するための図表、第3図はS O I構造の半導体基板の断面図、第4図ないし第7図は従来法の工程図である。

31…第1の半導体基板、31₁…高不純物濃度層、31₂…低不純物濃度層、32…酸化膜、33…第2の半導体基板、35…S O I構造半導体基板。

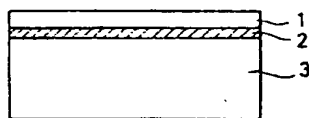
出願人代理人 弁理士 鈴江武彦



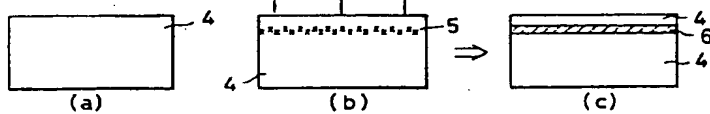
第 1 図

	酸素雰囲気	窒素雰囲気	水素雰囲気
P 型	△	×	○
N 型	×	×	○

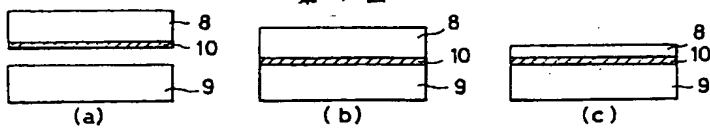
第 2 図



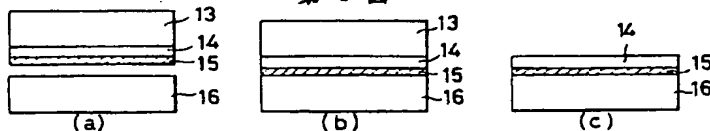
第 3 図



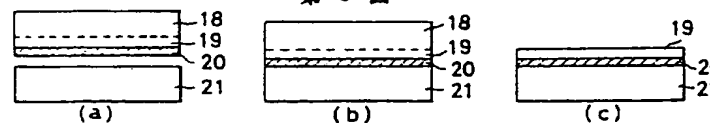
第 4 図



第 5 図



第 6 図



第 7 図